Національний технічний університет України

«Київський політехнічний інститут ім. І. Сікоського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

**Лабораторна робота №1**

з дисципліни «Технології проектування комп’ютерних систем»

на тему: “Арифметико-логічний пристрій”

Виконала:

студентка групи ІО-43

Даніленко Н.

Перевірив:

проф. Сергієнко А.М.

Київ 2017 р.

**Завдання:** Здобути знання та практичні навички з проектування арифметико-логічних пристроїв (LSM) для сучасних комп’ютерів, а також навички програмування та відлагодження опису логічних схем на мові VHDL.

**Варіант: 3**

|  |  |
| --- | --- |
| F = 0 | F = 1 |
| A+B+ | A xor B |

Розрядність операндів - 24

**Розробка поведінкової моделі LSM:**

**Оголошення об’єкту**

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

use IEEE.Numeric\_bit.all;

entity LSM is

port(F : in BIT;

C0 : in BIT;

A : in BIT\_VECTOR(23 downto 0);

B : in BIT\_VECTOR(23 downto 0);

C23 : out BIT;

Z : out BIT;

Y : out BIT\_VECTOR(23 downto 0)

);

end LSM;

**Опис поведінкової моделі:**

architecture LSM\_BEHAVIOUR of LSM is

signal ai,bi,yi,bp1:SIGNED(24 downto 0);

signal ybi:BIT\_VECTOR(24 downto 0);

begin

ai<= RESIZE(SIGNED(A),25);

bi<= RESIZE(SIGNED(B),25);

bp1<=bi when C0='0' else bi+1;

yi<= ai+bp1 when F='0';

ybi<= BIT\_VECTOR(yi) when F='0' else

'0'&(A xor B);

C23<= ybi(24);

Z<='1' when ybi(23 downto 0)=X"0000" else '0';--ознака нуля

Y<= ybi(23 downto 0);

end LSM\_BEHAVIOUR;

**Опис структурної моделі на основі LUT:**

architecture STR\_LUT of LSM is

signal C, X, Zi, Yi: BIT\_VECTOR(24 downto 0);

component LUT4 is

generic(mask:BIT\_VECTOR(15 downto 0):=X"ffff"; td:time:=1 ns);

port(a, b, c, d: in BIT; Y : out BIT);

end component;

begin

C(0) <= C0;

--Zi(0) <= '0';

LSM\_LUT:for i in 0 to 23 generate

LNI:LUT4 generic map(mask=>X"9999")

port map(a=>A(i), b=>B(i), c=>c(i), d=>F, Y=>X(i));

LNO:LUT4 generic map(mask=>X"CC99")

port map(a=>C(i), b=>X(i), c=>c(i), d=>F, Y=>Yi(i));

LNC:LUT4 generic map(mask=>X"B2EE")

port map(a=>A(i), b=>B(i), c=>c(i), d=>F, Y=>c(i+1));

end generate;

Zi(0)<=Yi(23) or Yi(22) or Yi(21) or Yi(20) or Yi(19) or Yi(18);

Zi(1)<=Yi(17) or Yi(16) or Yi(15) or Yi(14) or Yi(13) or Yi(12);

Zi(2)<=Yi(11) or Yi(10) or Yi(9) or Yi(8) or Yi(7) or Yi(6);

Zi(3)<=Yi(5) or Yi(4) or Yi(3) or Yi(2) or Yi(1) or Yi(0);

UZ:LUT4 generic map(mask=>X"0001")

port map(a=>Zi(3),b=>Zi(2),c=> Zi(1),d =>Zi(0), Y =>Z);

Y <= Yi(23 downto 0);

C23 <= C(24);

--Z <= Zi(24);

end STR\_LUT;

**Випробувальний стенд для LSM:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

use IEEE.numeric\_bit.all;

entity lsm\_tb is

end lsm\_tb;

architecture TB\_ARCHITECTURE of lsm\_tb is

component LSM --обявлення обєкта, що тестується та еталонного обєктів

port(F : in BIT;

A : in BIT\_VECTOR(23 downto 0);

B : in BIT\_VECTOR(23 downto 0);

C0: in BIT;

Y : out BIT\_VECTOR(23 downto 0);

C23: out BIT;

Z : out BIT );

end component;

component RANDOM\_GEN is

generic(n:positive:=24; -- розрядність вихідного слова

tp:time:=100 ns ; -- період слідування

SEED:positive:=12345); -- початковий стан

port(CLK:out BIT;

Y : out BIT\_VECTOR(n-1 downto 0));

end component;

--тестуючі сигнали

signal F : BIT:='0';

signal C0 : BIT:='0';

signal A,B : BIT\_VECTOR(23 downto 0);

--сигнали,що перевіряються

signal Y1,Y2,Y : BIT\_VECTOR(23 downto 0);

signal C151,C152,C,Z1,Z2,Z: BIT;

begin

G1: RANDOM\_GEN --генератор операнда А

generic map(n=>24,SEED=>1234)

port map(CLK=>open,Y =>A);

G2: RANDOM\_GEN --генератор операнда В

generic map(n=>24,SEED=>8765)

port map(CLK=>open,Y =>B);

UUT1 :entity LSM(STR\_LUT) --обєкт, що тестується

port map (F => F,A => A, B => B, C0 => C0,

Y => Y1, C23 => C151, Z => Z1);

UUT2 :entity LSM(LSM\_BEHAVIOUR) --еталонний обєкт

port map (F => F,A => A,B => B,C0 => C0,

Y => Y2, C23 => C152, Z => Z2);

--компаратори для порівняння результатів

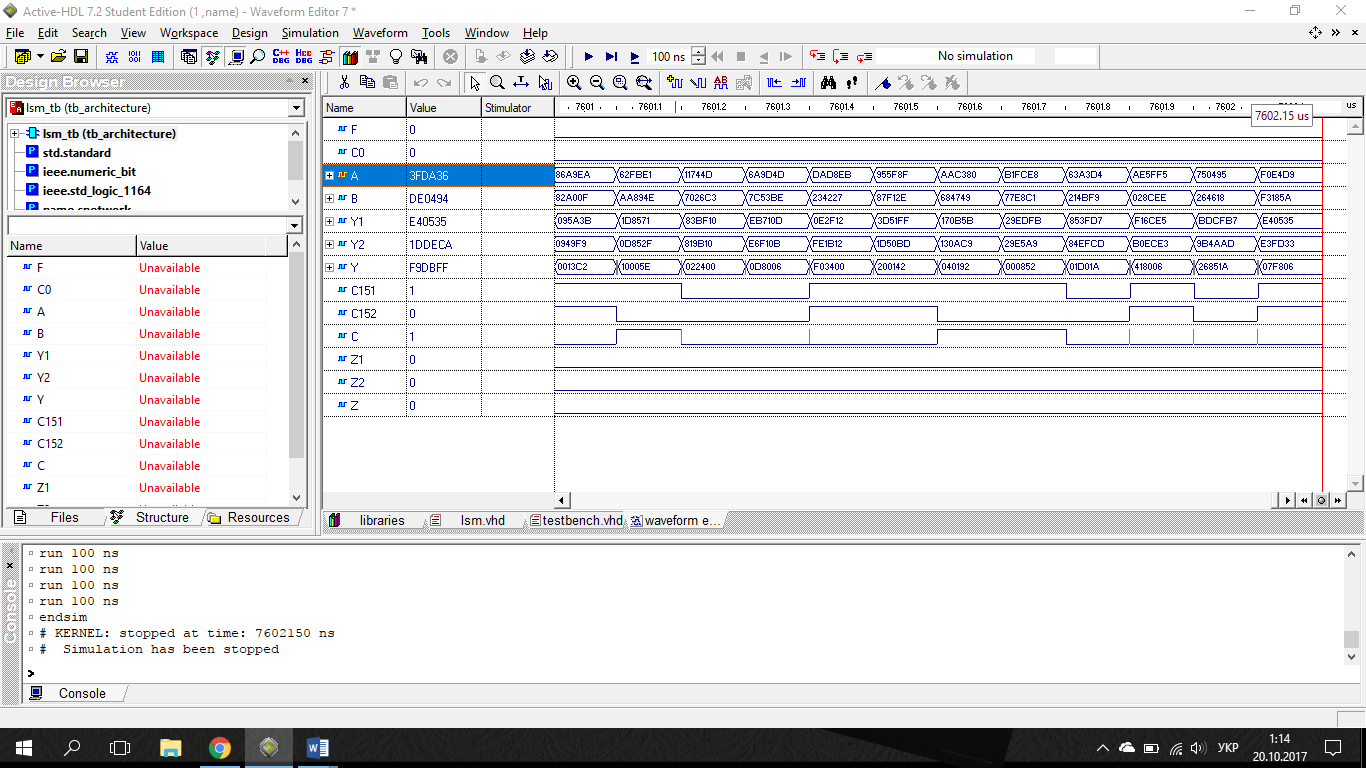
COMP\_Y: Y<=Y1 xor Y2;

COMP\_C: C<=C151 xor C152;

COMP\_Z: Z<=Z1 xor Z2;

end TB\_ARCHITECTURE;

**Результати тестувань:**



**Висновок:** в результаті виконання лабораторної роботи здобуто навички розробки арифметико-логічних пристроїв, програмування та відлагодження опису логічних схем на мові VHDL. Розроблено опис поведінки LSM із операціями, заданими відповідно до варіанта, стилем потоків даних та структурним стилем на основі елементів LUT. Відповідність тестової моделі еталонній підтверджена результатами тестів для випробувального стенду lsm\_tb: нульові значення компараторних сигналів Y, C та Z, а також співпадінням часових затримок.